



Digitalne strukture

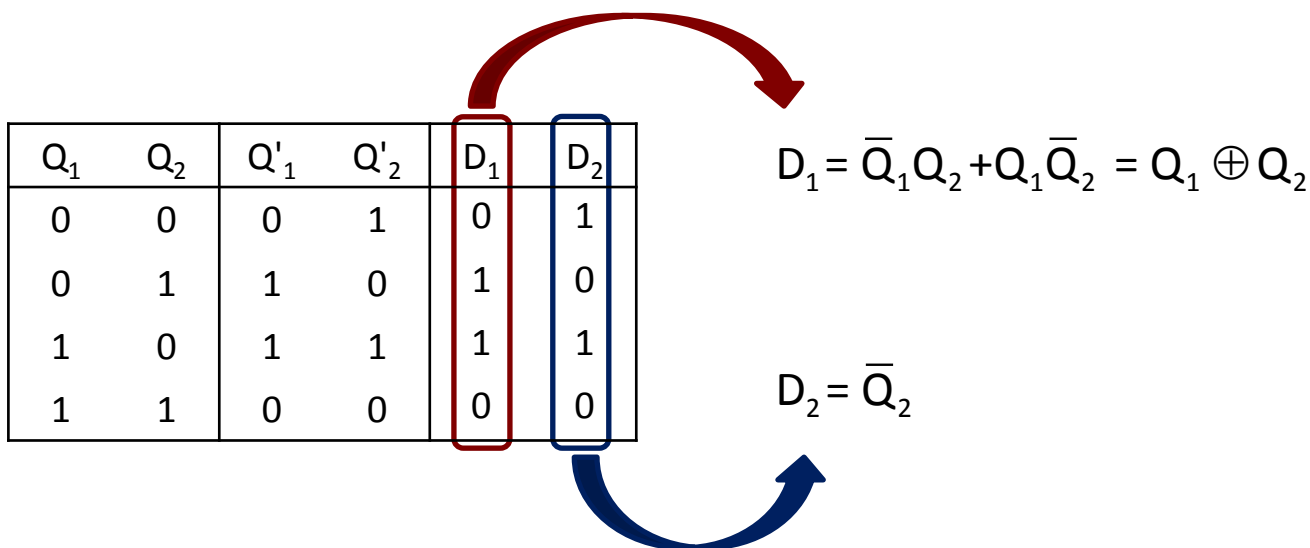
6. Vaja

Števec



Naloga 6a: Sinhronski števec po modulu 4

- ❑ Spominski del vezja: spominske celice T, JK ali D
- ❑ Kombinacijski del vezja: vrata XOR

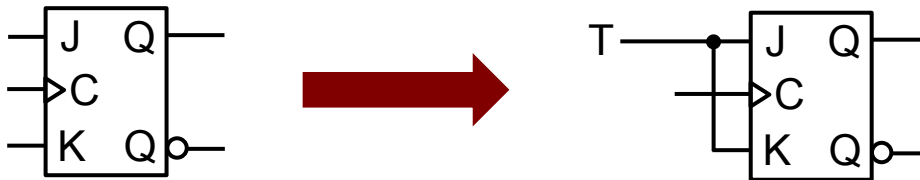




Naloga 6a: Sinhronski števec po modulu 4

- ❑ Spominski del vezja: spominske celice T, JK ali D
- ❑ Kombinacijski del vezja: vrata XOR

Spominsko celico T izvedite z uporabo JK:

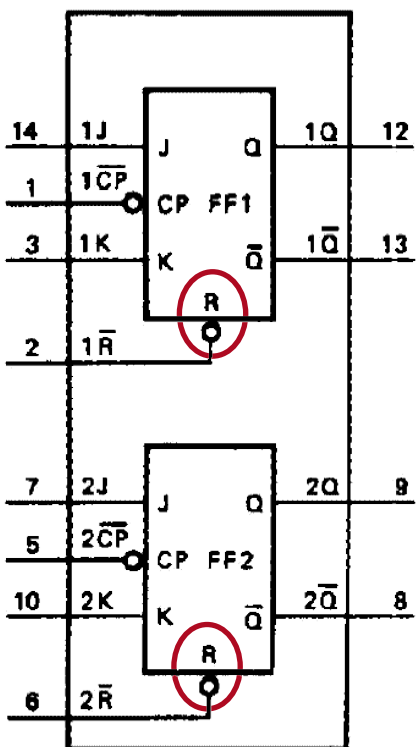




Naloga 6a: Sinhronski števec po modulu 4

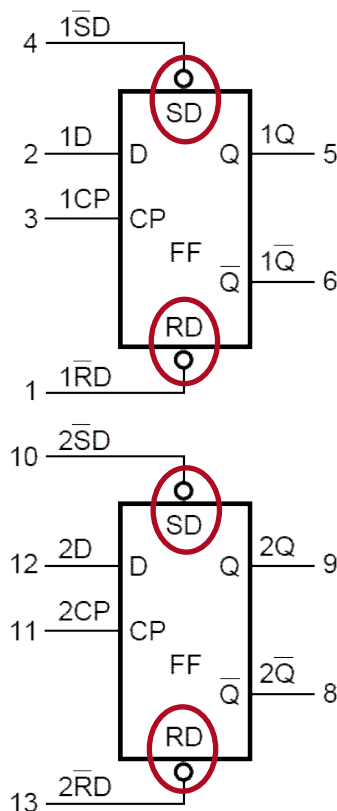
- Spominski del vezja: spominske celice T, JK ali D
- Kombinacijski del vezja: vrata XOR

74HC73 (JK)



Asinhronski
(set/reset)
vhodi

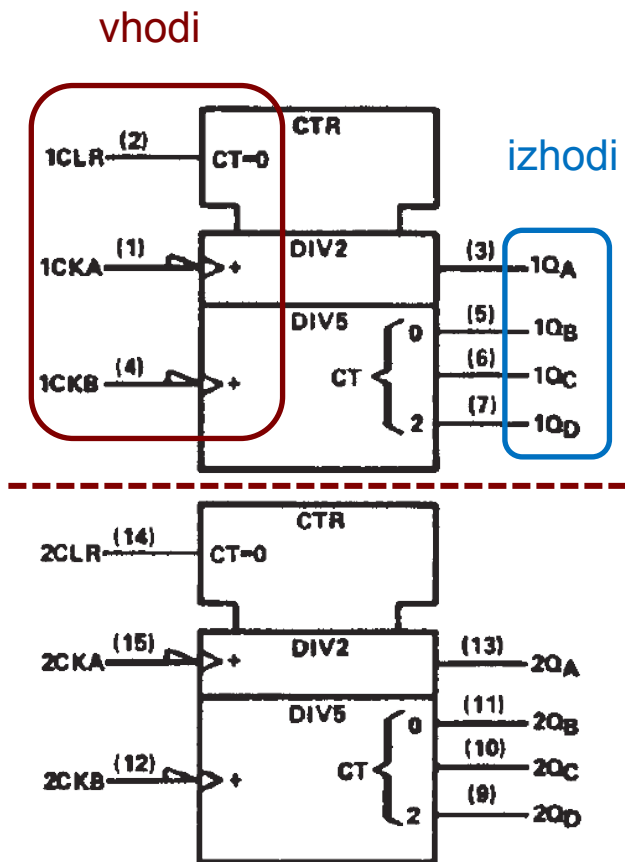
74HC74 (D)



- Vezava asinhronskih vhodov
- Napajanje, ozemljitev čipa



Naloga 6b: Desetiški sinhronski števec z vezjem SN74LS390 (štetje 0-9)



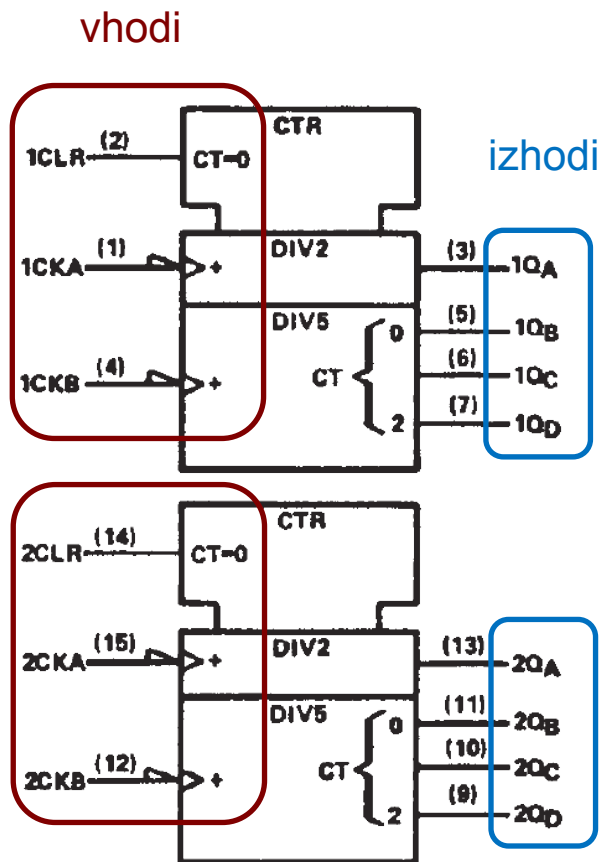
'390, 'LS390
BCD COUNT SEQUENCE
(EACH COUNTER)
(See Note A)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

- NOTES:
- A. Output Q_A is connected to input B for BCD count.
 - B. Output Q_D is connected to input A for bi-quinary count.
 - C. H = high level, L = low level.



Naloga 6c: Števec dopolnite tako, da bo štel od 00 do 59.
Na razpolago so še logična vrata AND.



'390, 'LS390
BCD COUNT SEQUENCE
(EACH COUNTER)
(See Note A)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

- NOTES:
- A. Output Q_A is connected to input B for BCD count.
 - B. Output Q_D is connected to input A for bi-quinary count.
 - C. H = high level, L = low level.



Poročilo

- ❑ Besedilo vaje
- ❑ Naloga 6a: diagram prehajanja stanj, tabela prehajanja stanj, kodirana tabela stanj, vzbujalna tabela, simbolni načrt vezja, vezalni načrt
- ❑ Naloga 6b: vezalni načrt desetiškega števca z SN74LS390
- ❑ Naloga 6c: simbolni načrt, vezalni načrt števca 00-59