



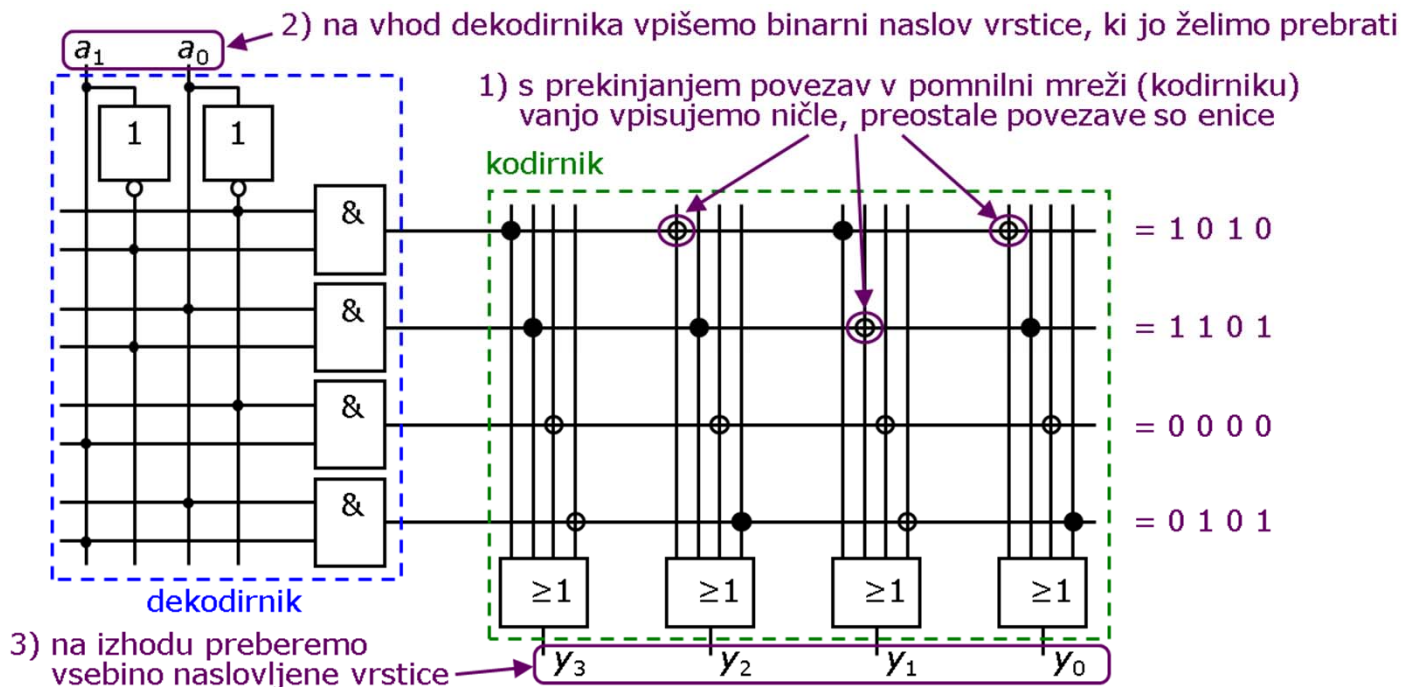
Programirljiva sekvenčna vezja



Programirljiva sekvenčna vezja

Bralno-pisalni pomnilnik (RAM)

- spomnimo se zgradbe in delovanja bralnega pomnilnika (ROM/PROM): povezave v pomnilni mreži vzpostavljamo oz. prekinjamo s posebnimi orodji (z nekajkrat večjo napetostjo od običajne, z UV svetlobo ipd.)

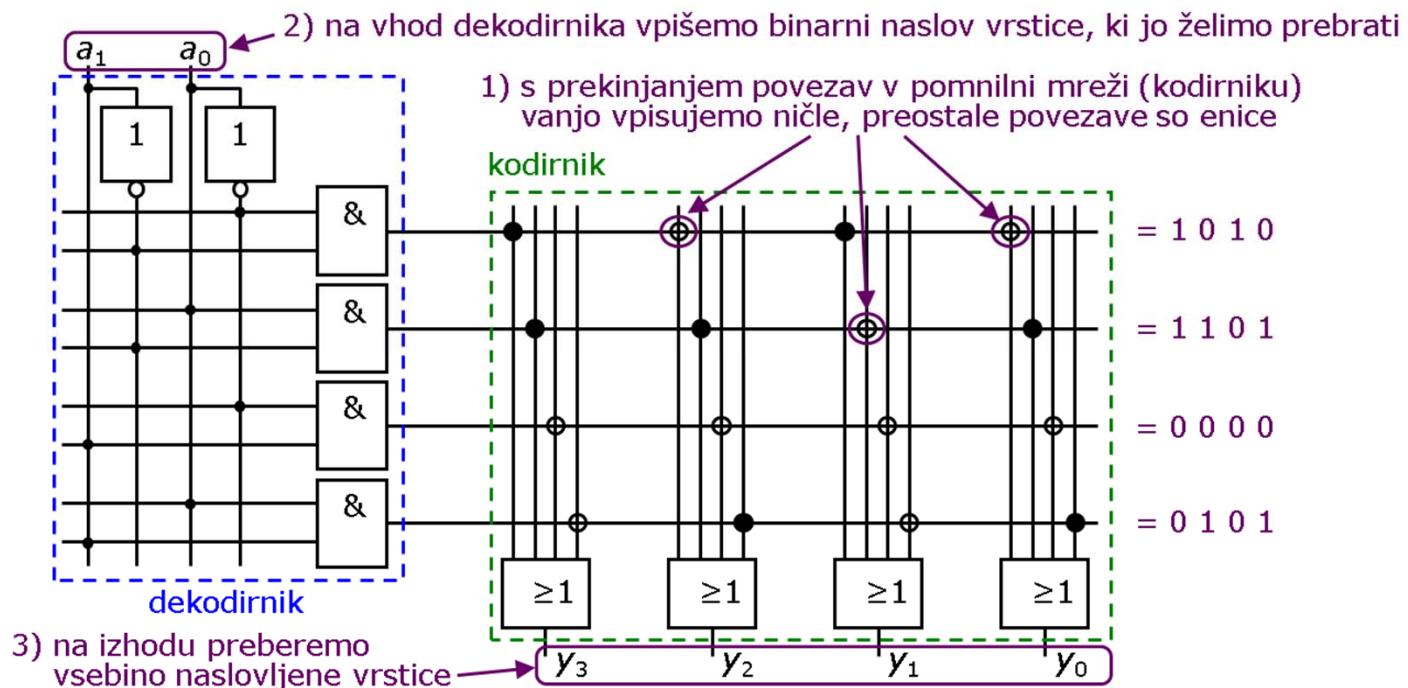




Programirljiva sekvenčna vezja

Bralno-pisalni pomnilnik (RAM)

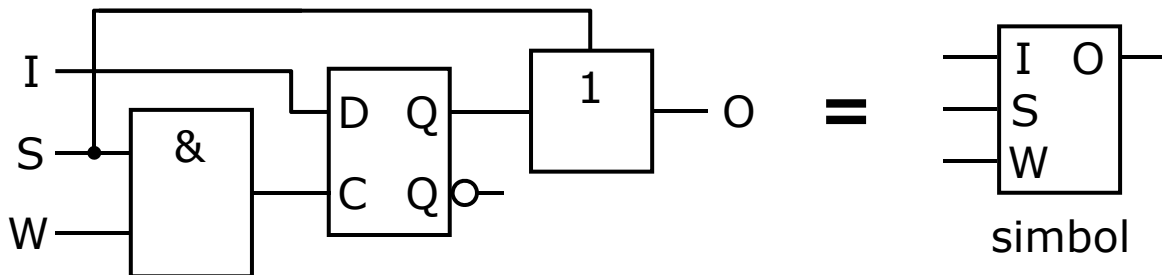
- **bralno-pisalni pomnilnik** (*angl. random-access memory, RAM*) ima podobno zgradbo, a povezave v mreži izvedemo s spominskimi celicami; to omogoči zapisovanje skozi vhode – brez posebnih orodij



Programirljiva sekvenčna vezja

Statični bralno-pisalni pomnilnik (SRAM)

- **statični bralno-pisalni pomnilnik** (*angl. static RAM, SRAM*) je zgrajen iz **spominskih celic SRAM** (*angl. SRAM cells*)
- celico SRAM sestavljajo vrata AND, zapah D in tristanski izravnalnik:

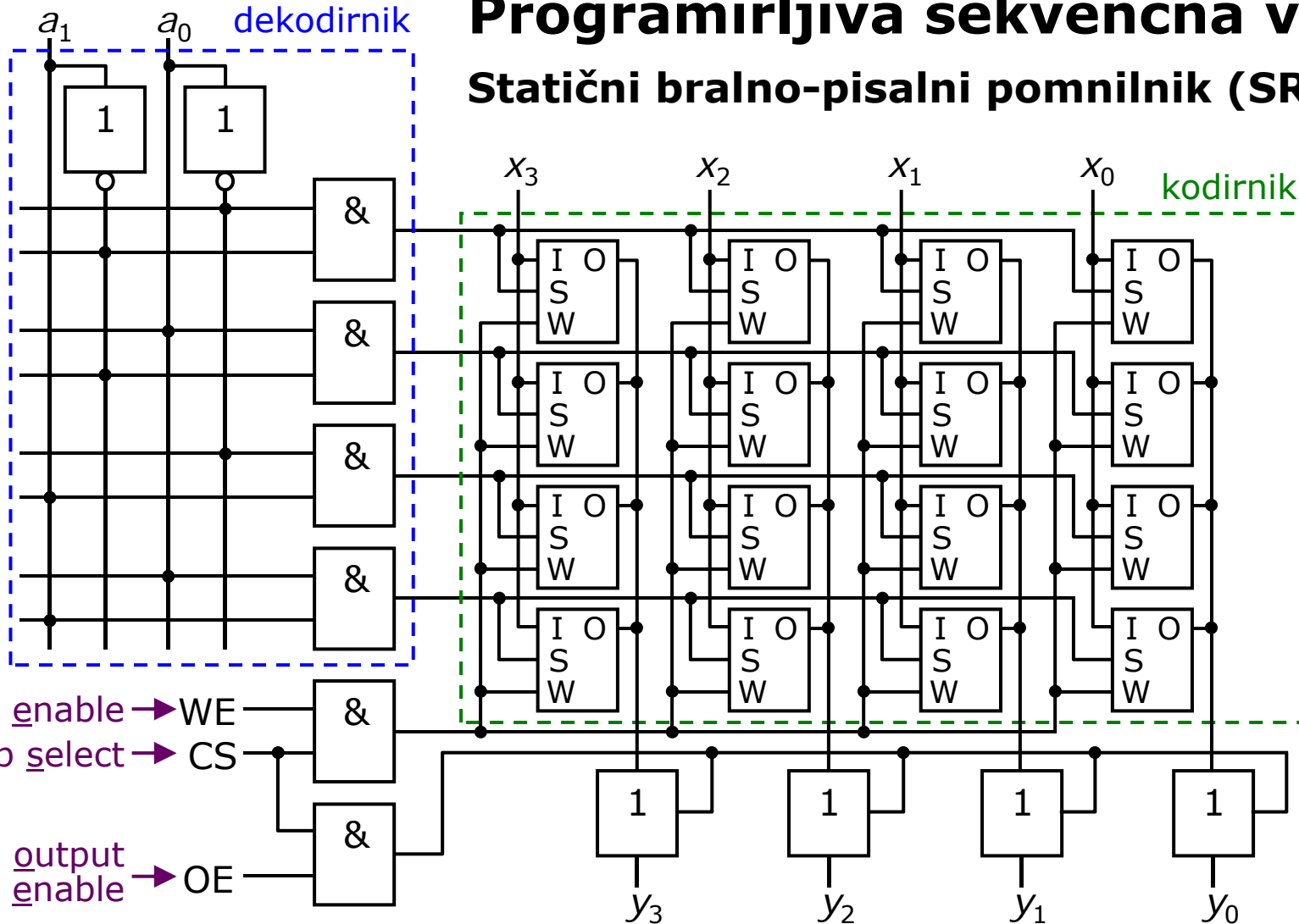


- na vhod I (*angl. input* = vhod) dovedemo podatek, ki ga želimo zapisati v celico, izhod O (*angl. output* = izhod) pa povežemo z vodilom
- vhod S (*angl. select* = izbrati) določa, kdaj je celica aktivna: pri S = 1 ima zapisani podatek Q dostop do vodila, pri S = 0 pa ne
- vhod W (*angl. write* = pisati) omogoča zapis podatka v aktivno celico: če je S = 1 in hkrati W = 1, se vrednost z vhoda I zapiše v stanje Q



Programirljiva sekvenčna vezja

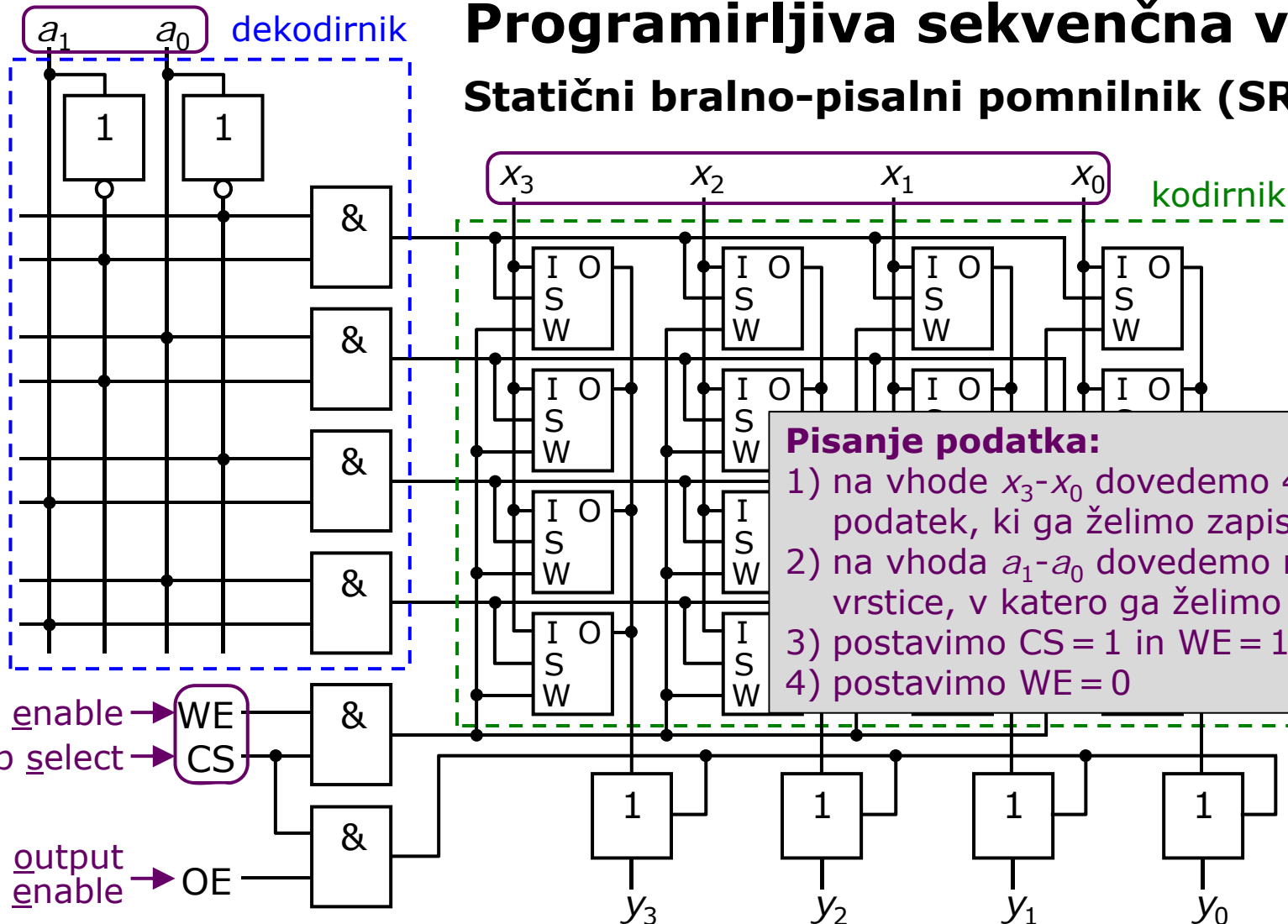
Statični bralno-pisalni pomnilnik (SRAM)



write enable → WE
chip select → CS
output enable → OE



Programirljiva sekvenčna vezja Statični bralno-pisalni pomnilnik (SRAM)



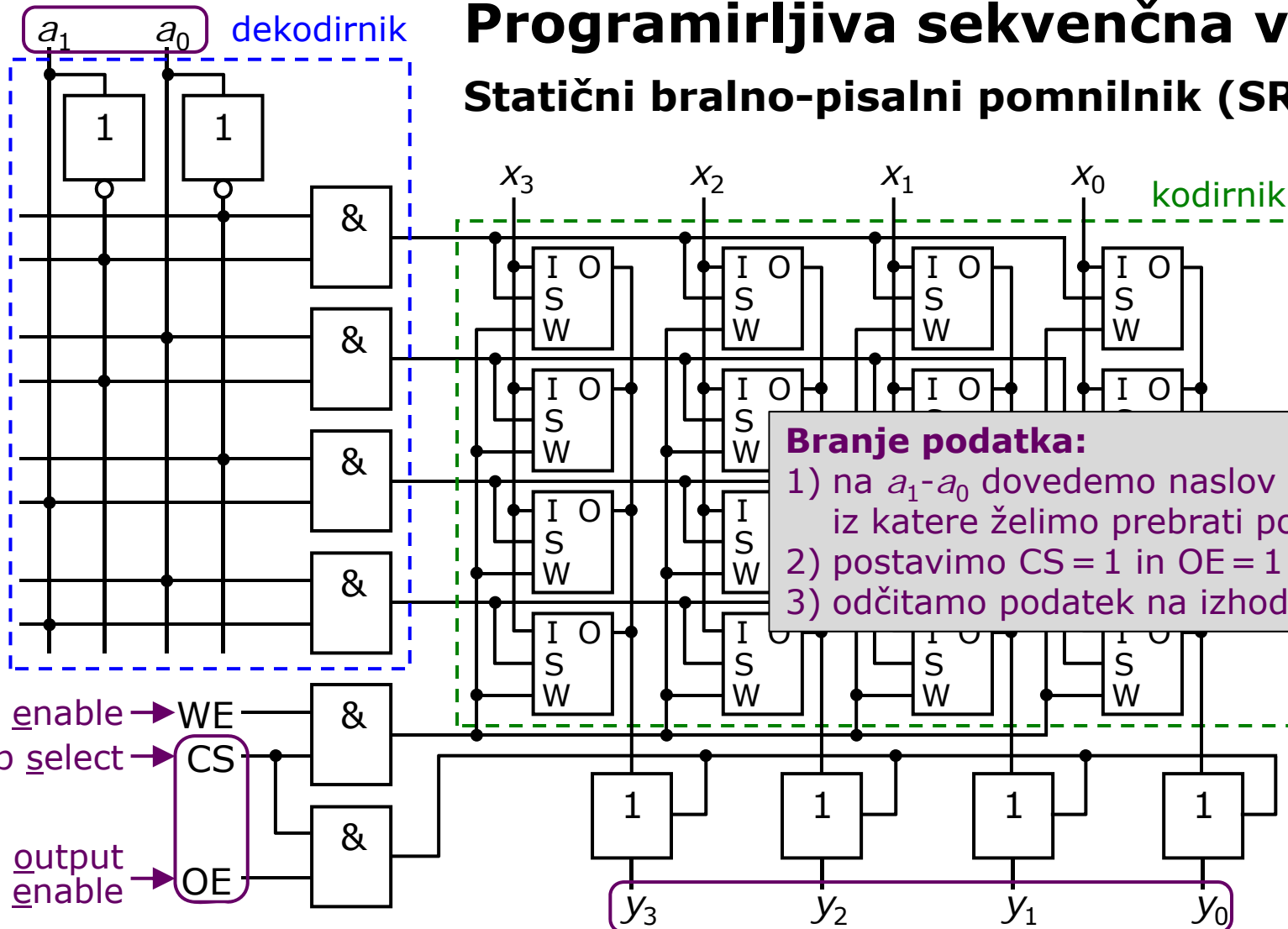
Pisanje podatka:

- 1) na vhode x_3-x_0 dovedemo 4-bitni podatek, ki ga želimo zapisati
- 2) na vhoda a_1-a_0 dovedemo naslov vrstice, v katero ga želimo zapisati
- 3) postavimo $CS = 1$ in $WE = 1$
- 4) postavimo $WE = 0$



Programirljiva sekvenčna vezja

Statični bralno-pisalni pomnilnik (SRAM)



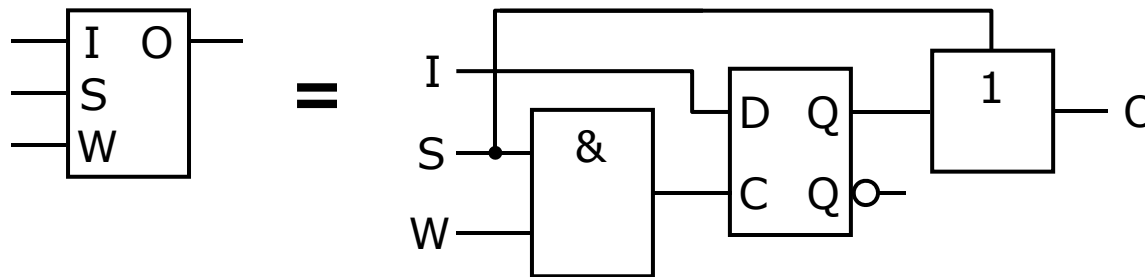
Branje podatka:

- 1) na a_1-a_0 dovedemo naslov vrstice, iz katere želimo prebrati podatek
- 2) postavimo $CS = 1$ in $OE = 1$
- 3) odčitamo podatek na izhodih y_3-y_0

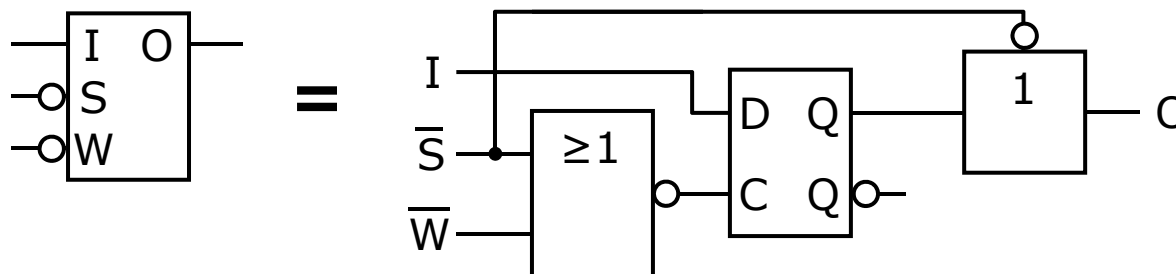


Programirljiva sekvenčna vezja

Statični bralno-pisalni pomnilnik (SRAM)



- ker se zapah odziva na spremembe na vhodu D ves čas, ko je $C=1$, morajo vrednosti I in s tem vrednosti na podatkovnih vhidih x_i ostati stalne ves čas, ko je $S=1$ in $W=1$; pri uporabi flip-flopa to ne bi bilo potrebno, a bi bilo vezje z enakim številom celic dvakrat večje
- zahteva po čim večjem številu celic SRAM v vezju je tudi razlog, da v dejanskih tehnoloških izvedbah vrata AND nadomestimo z vrati NOR:





Programirljiva sekvenčna vezja

Statični bralno-pisalni pomnilnik (SRAM)

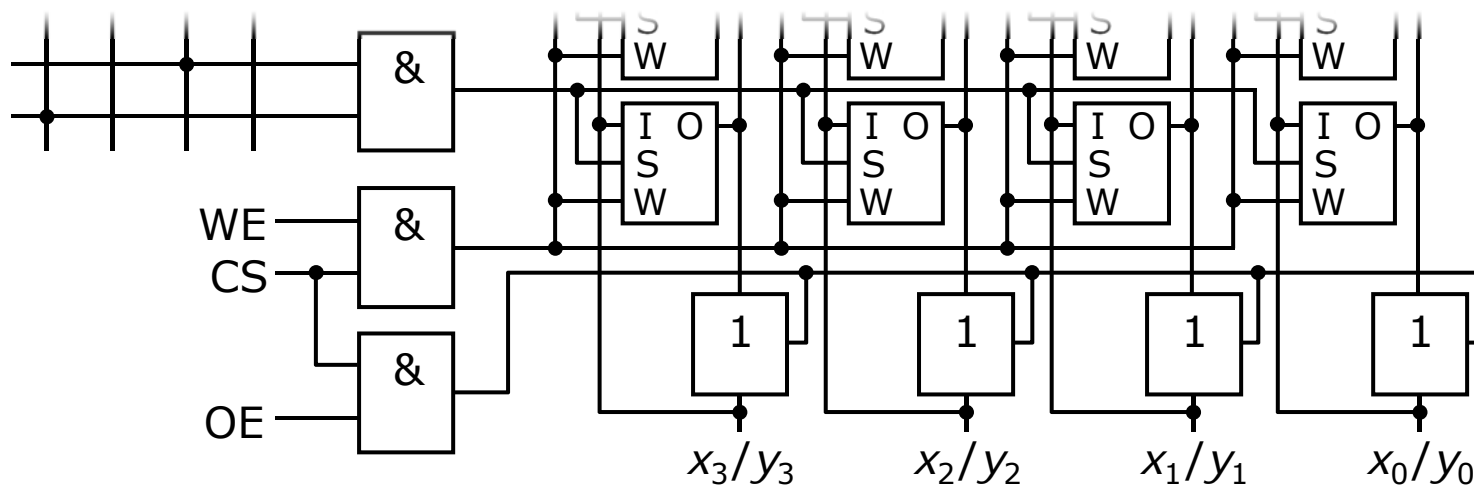
- pri pisanju moramo biti še posebej pozorni na to, da se v času, ko je $W = 1$, ne spreminjajo vrednosti na naslovnih vhidih a_i , sicer v enem pisalnem ciklu pride do zapisa istega podatka v dve ali več vrstic
- v osnovni izvedbi SRAM, ki smo jo obravnavali doslej, moramo dovajanje podatkov na naslovne vhode a_i , podatkovne vhode x_j ter kontrolne vhode CS, WE in OE med seboj sinhronizirati z ustrezno vhodno logiko, ki jo dogradimo k vezju pomnilnika; ker sam pomnilnik te logike ne vsebuje, ga imenujemo tudi **asinhronski SRAM**
- v **sinhronskem SRAM (SSRAM)** je ta vhodna logika že vgrajena; onemogoča spremembe a_i in x_j med trajanjem pisalnega cikla, prožena pa je dinamično, kar zagotavlja še časovno natančen in sočasen zajem podatkov



Programirljiva sekvenčna vezja

Statični bralno-pisalni pomnilnik (SRAM)

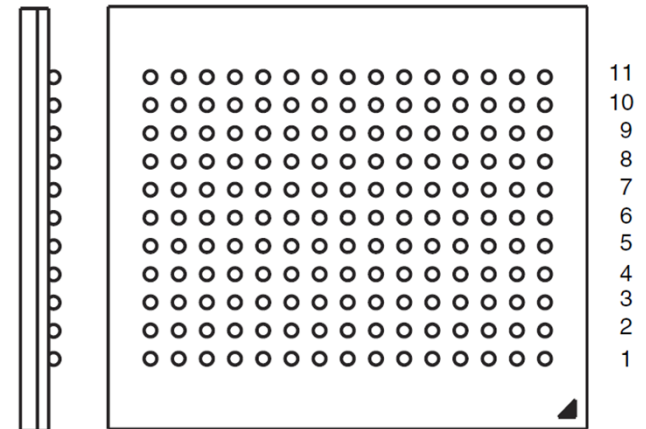
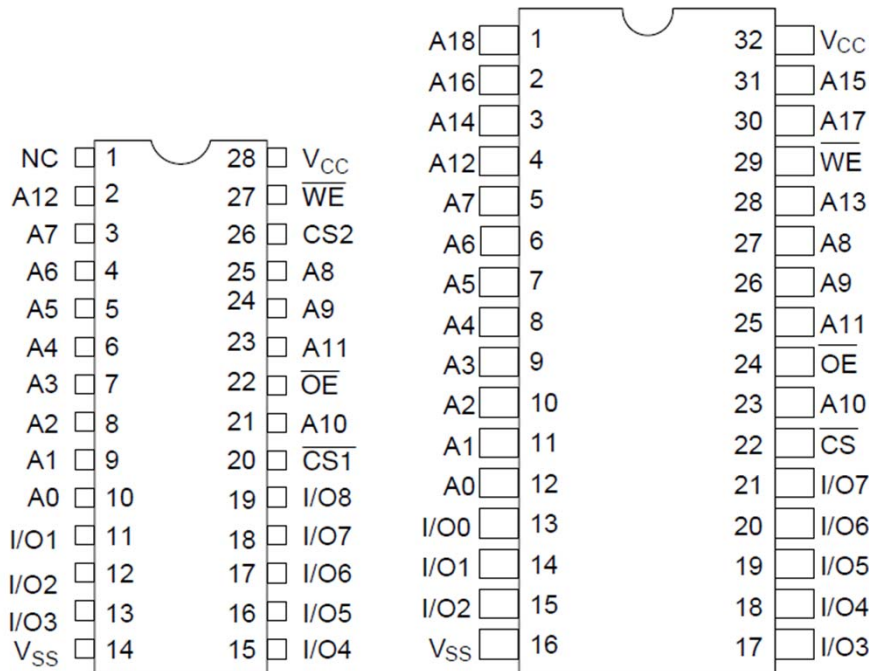
- nekatere različice SRAM, od nekaterih najstarejših asinhronskih do najsodobnejše sinhronske izvedbe **QDR SSRAM** (quad-data-rate = štirikratna hitrost prenosa podatkov), uporabljajo ločeni vodili za vhodne in izhodne podatke
- preostale izvedbe SRAM, npr. **LW SSRAM** (late-write = zakasnjeno zapisovanje) in **ZBT SSRAM** (zero-bus-turnaround = preklop smeri vodila brez zakasnitve), pa so narejene za dvosmerno vodilo:





Programirljiva sekvenčna vezja

Statični bralno-pisalni pomnilnik (SRAM)



R P N M L K J H G F E D C B A
2M×36 QDR II SSRAM
μPD44645362 (NEC/Renesas)
z 2097152-imi 36-bitnimi
vrsticami

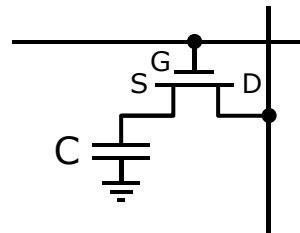
8K×8 SRAM HM6264 z 8192-imi 8-bitnimi vrsticami in
512K×8 SRAM HM628512 s 524288-imi 8-bitnimi vrsticami
(oba Hitachi); I/O pri WE = 1 delujejo kot vhodi (skozi
zapisujemo podatke v vrstice), pri WE = 0 pa kot izhodi
(skozi podatki dostopajo iz pomnilnika na vodilo)



Programirljiva sekvenčna vezja

Dinamični bralno-pisalni pomnilnik (DRAM)

- **dinamični bralno-pisalni pomnilnik** (*angl. dynamic RAM, DRAM*) je zgrajen iz **spominskih celic DRAM** (*angl. DRAM cells*)
- celico DRAM sestavljata le en tranzistor in en kondenzator:

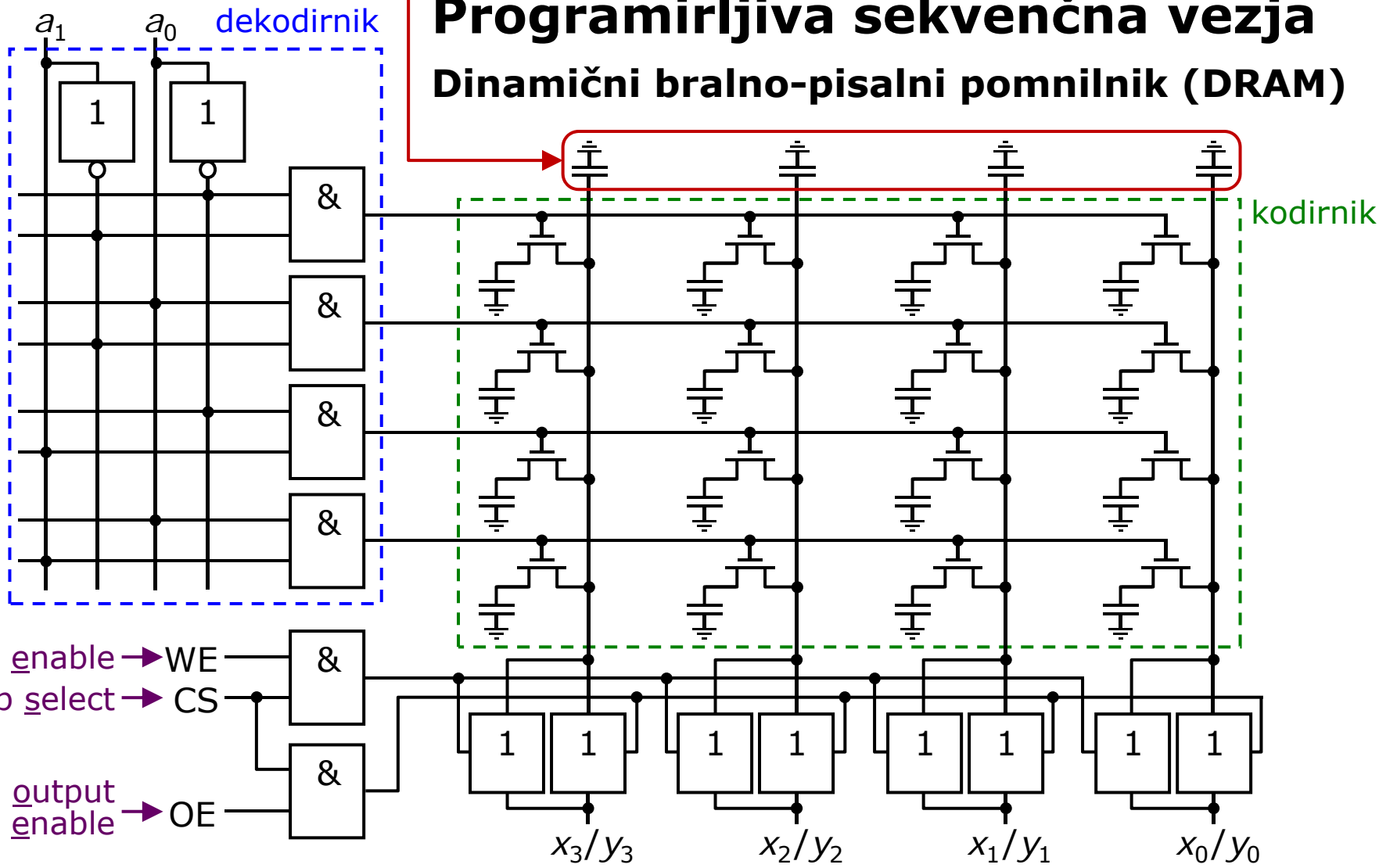


- napetost na kondenzatorju (U_C) je 1-bitni podatek
- navpični vodnik je povezan z vodilom
- napetost na vodoravnem vodniku določa, kdaj ima podatek dostop do vodila; tranzistor je zgrajen tako, da ima povezava S-D pri $U_{GS} > 0$ nizko upornost in omogoča tok v obe smeri (t.j. tako $I_{DS} > 0$ kot $I_{DS} < 0$), pri $U_{GS} \leq 0$ pa zelo visoko upornost in deluje kot razklenjeno stikalo



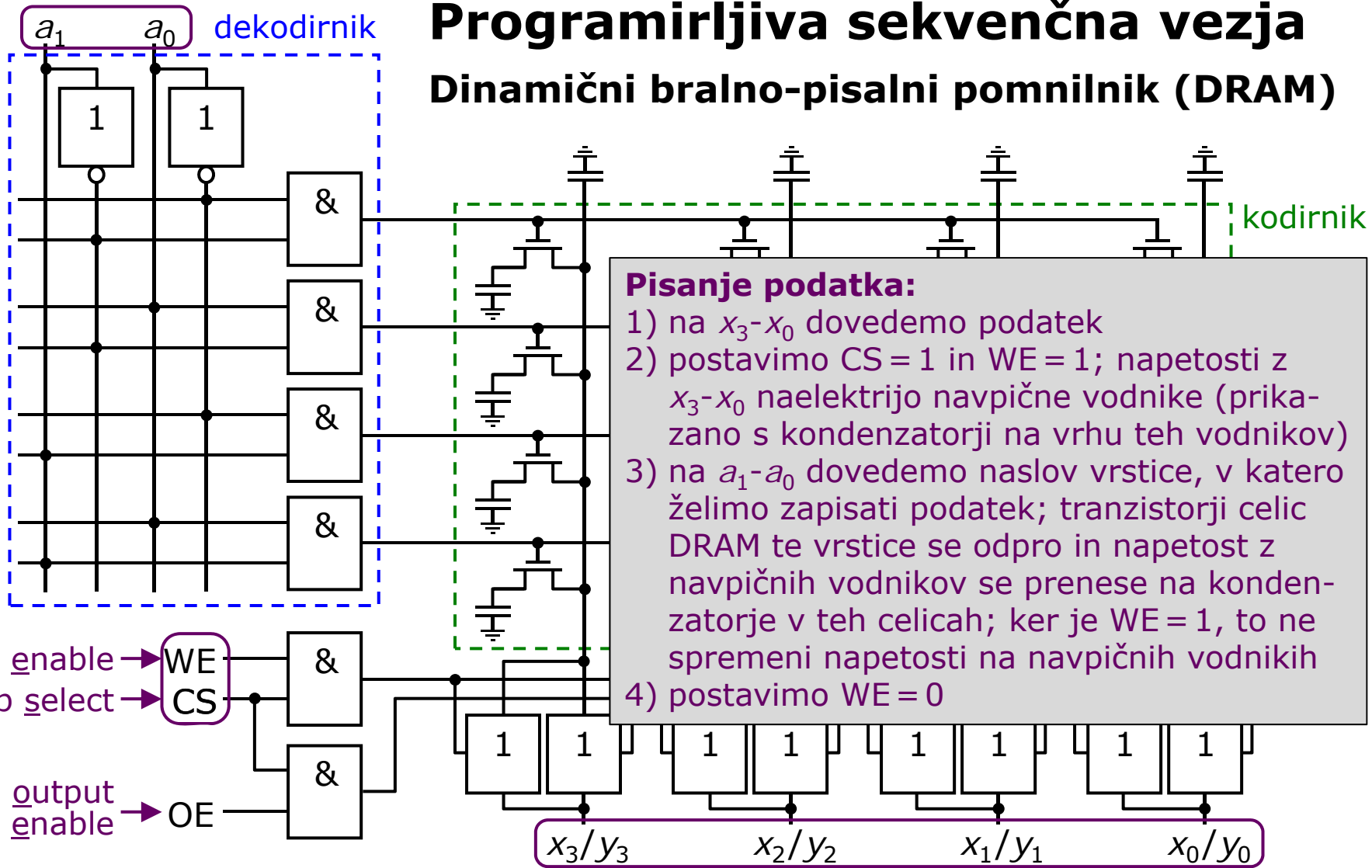
kapacitivnost navpičnih vodnikov je posledica njihove dolžine in spojev s celicami DRAM

Programirljiva sekvenčna vezja Dinamični bralno-pisalni pomnilnik (DRAM)





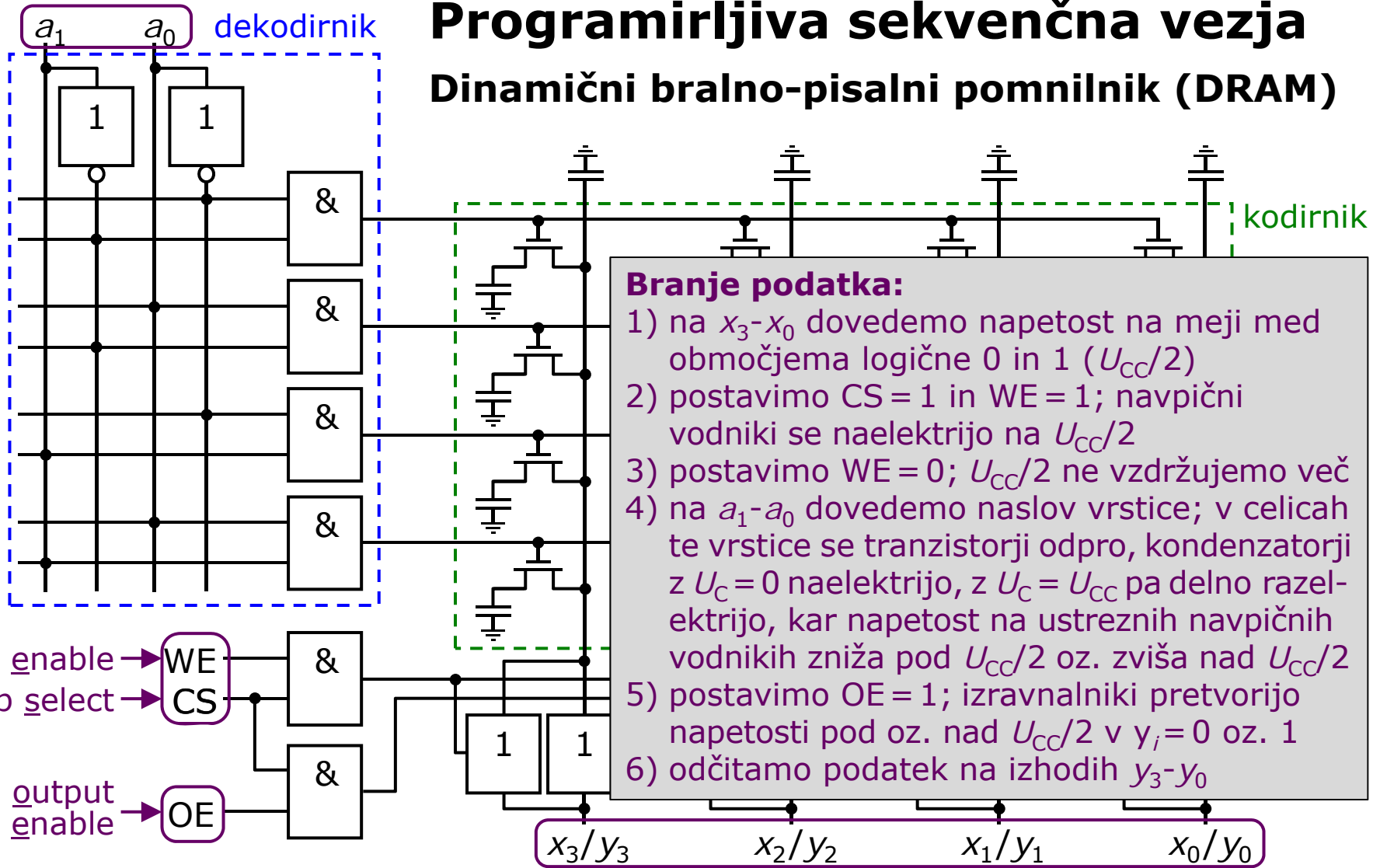
Programirljiva sekvenčna vezja Dinamični bralno-pisalni pomnilnik (DRAM)





Programirljiva sekvenčna vezja

Dinamični bralno-pisalni pomnilnik (DRAM)





Programirljiva sekvenčna vezja

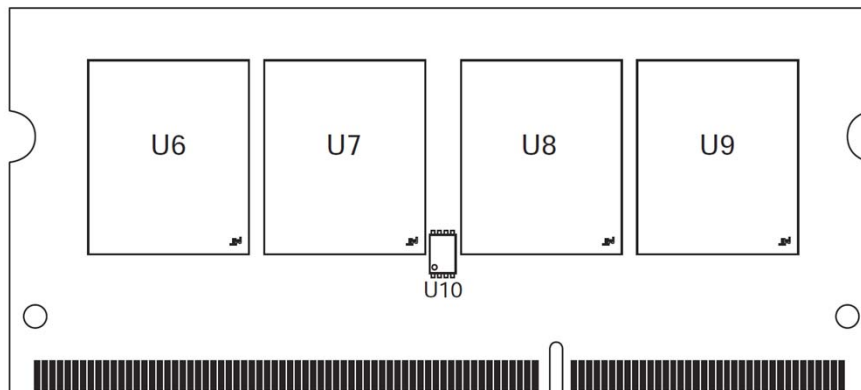
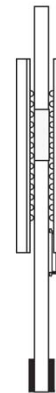
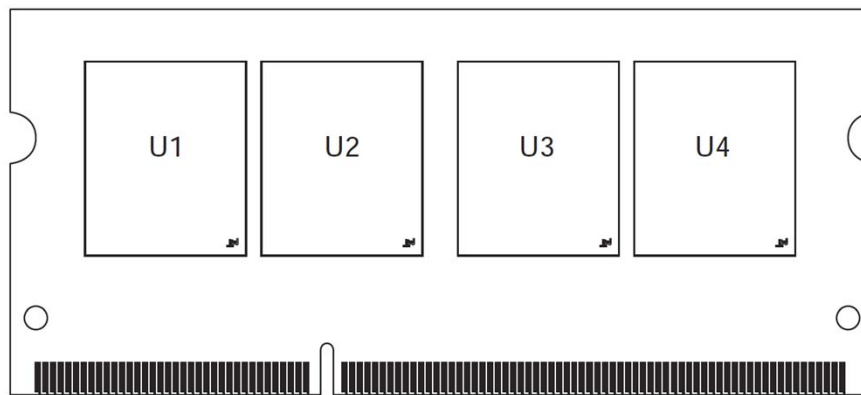
Dinamični bralno-pisalni pomnilnik (DRAM)

- ker pride ob vsakem branju podatka do delne razelektritve kondenzatorjev, v katerih je zapisana logična 1, in delne naelektritve kondenzatorjev, v katerih je zapisana logična 0, je potrebno prebrano vrstico **osvežiti**: ob branju jo shranimo v register in jo nato ponovno zapišemo
- kondenzatorji v celicah DRAM se tudi sicer postopoma praznijo, zato je potrebno občasno osveževati tudi neprebrane vrstice; v tipičnih celicah DRAM se napetost na kondenzatorjih prepolovi po približno 100 ms, zato vse zapisane podatke osvežujemo vsakih 64 ms
- tudi pomnilnik DRAM je v osnovi **asinhronski**, če mu dodamo logiko za sinhronizacijo vhodov, pa dobimo **sinhronski DRAM (SDRAM)**
- večina današnjih izvedb, vključno z vsemi različicami trenutno najbolj razširjenega **DDR SDRAM** (double data rate = dvakratna hitrost prenosa podatkov), uporablja dvosmerno vodilo



Programirljiva sekvenčna vezja

Dinamični bralno-pisalni pomnilnik (DRAM)



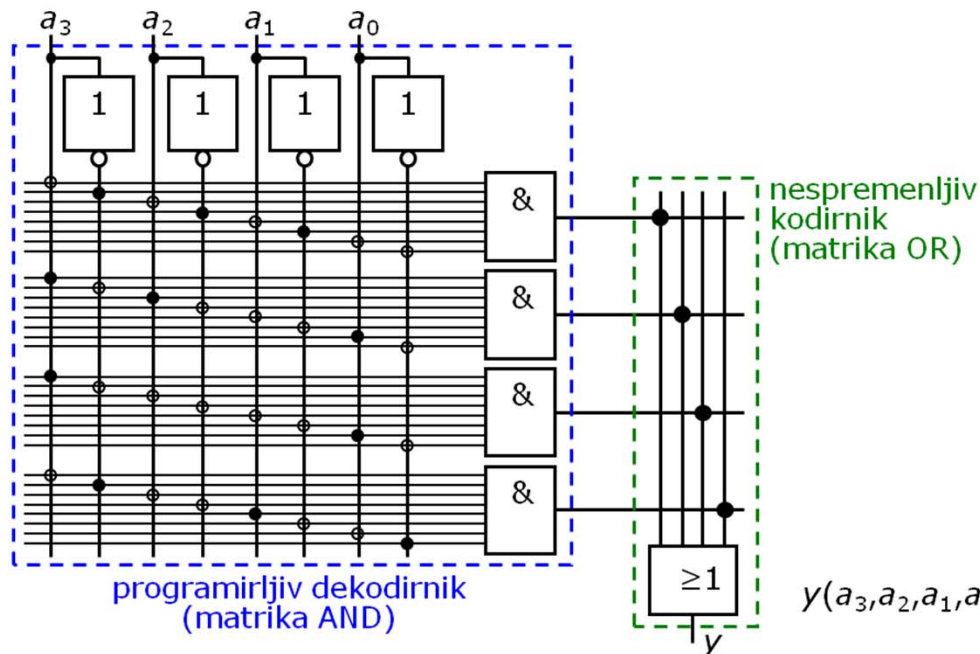
4 GB DDR3 SDRAM modul
MT16JSS51264H (Micron Technology)
vsebuje 8 vezij 8M×64 DDR3 SDRAM s
po 8388608-imi 64-bitnimi vrsticami



Programirljiva sekvenčna vezja

Generično logično polje (GAL)

- spomnimo se sedaj še programirljivega logičnega polja (PAL), ki ga uporabljamo za izvedbo preklopnih funkcij: povezave programiramo v dekodirniku (spet s posebnimi orodji), kodirnik pa je nespremenljiv



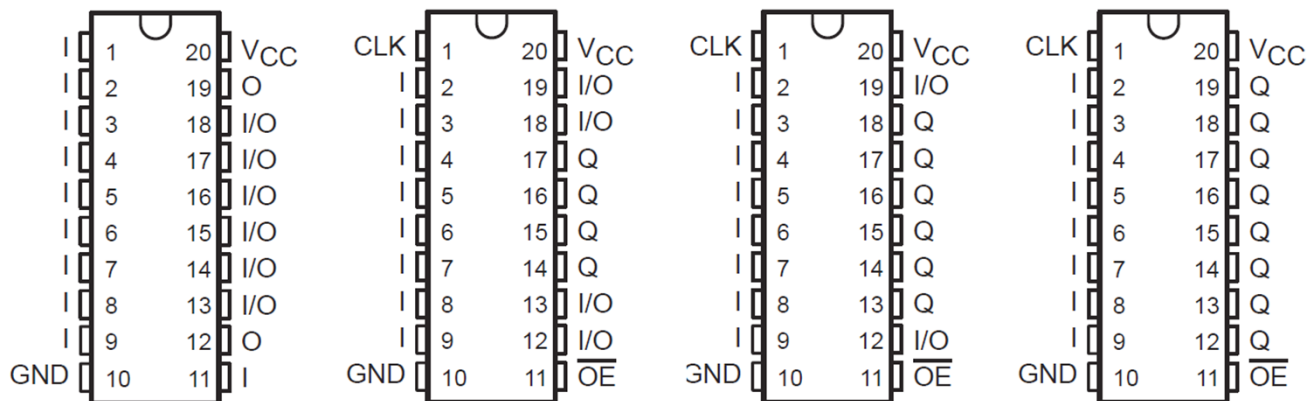
$$y(a_3, a_2, a_1, a_0) = \bar{a}_3 \bar{a}_2 \bar{a}_1 + a_3 a_2 a_0 + a_3 a_0 + \bar{a}_3 a_1 \bar{a}_0$$



Programirljiva sekvenčna vezja

Generično logično polje (GAL)

- v **generičnih logičnih poljih** (*angl. Generic Array Logic, GAL*) so programirljive povezave dekodirnika električno izbrisljive (kot v vezjih EEPROM), novejša vezja PAL in GAL pa vsebujejo tudi spominske celice (predvsem flip-flope D), zato jih lahko programiramo za izvajanje tako kombinacijskih kot sekvenčnih funkcij



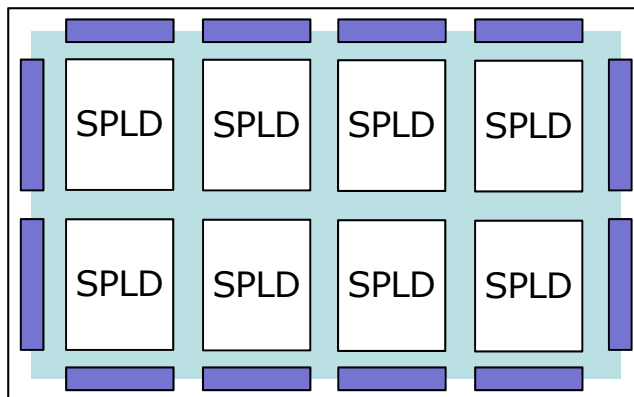
vezja PAL16L8, PAL16R4, PAL16R6 in PAL16R8 (Texas Instruments); L8 je povsem kombinacijski, R4, R6 oz. R8 pa vsebujejo 4, 6 oz. 8 flip-flopov D; vezji GAL16V8 (Lattice) in PALCE16V8 (AMD) lahko emulirata delovanje vseh štirih vezij



Programirljiva sekvenčna vezja

Kompleksno programirljivo vezje (CPLD)

- vezja PROM, PLA, PAL in GAL uvrščamo med **enostavna programirljiva vezja** (*angl. Simple Programmable Logic Devices, SPLD*)
- za reševanje nalog, ki so preobsežne za eno samo vezje SPLD, lahko uporabimo dve ali več takšnih vezij, lahko pa uporabimo tudi **kompleksno programirljivo vezje** (*angl. Complex Programmable Logic Device, CPLD*), ki v enem integriranem vezju združuje več vezij SPLD (najpogosteje PAL/GAL), shematsko pa ga lahko prikažemo takole:

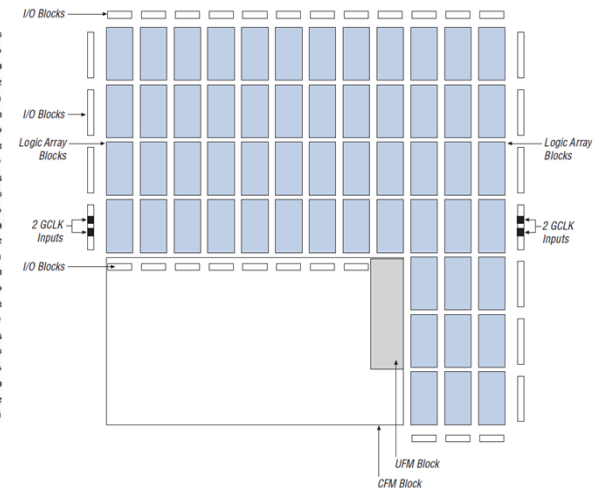
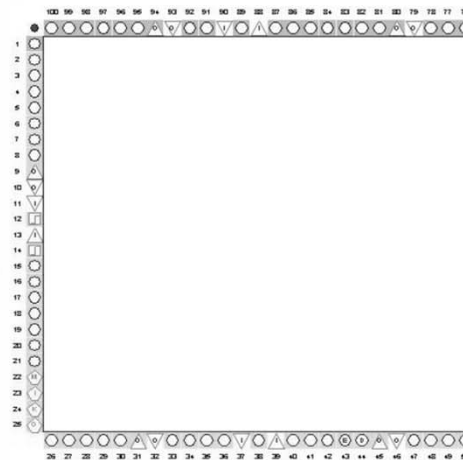


- **programirljiva matrika povezav** (*angl. programmable interconnect matrix oz. programmable switch matrix, PSM*) omogoča povezavo poljubnega zunanega vhoda ali izhoda SPLD na poljubni vhod katerega od preostalih SPLD ali zunanji izhod
- **vhodno-izhodni blok** (*angl. input-output block, IOB*) tvorijo vhodi in izhodi vezja CPLD ter njihove povezave s PSM



Programirljiva sekvenčna vezja

Kompleksno programirljivo vezje (CPLD)



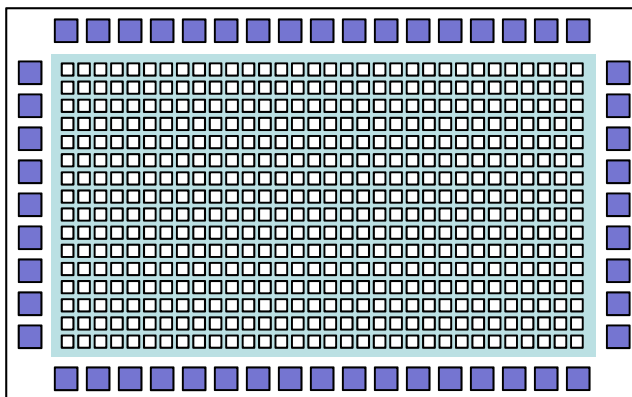
CPLD MAXII EPM570G (Altera) s 57 vezji SPLD in 34 vhodno-izhodnimi bloki; deluje pri napetosti 1.8 V in z maksimalno frekvenco 304 MHz



Programirljiva sekvenčna vezja

Električno programirljivo polje vrat (FPGA)

- alternativa vezju CPLD je **električno programirljivo polje vrat** (*angl.* **Field-Programmable Gate Array, FPGA**)
- vezja CPLD so zgrajena iz nekaj vezij PAL ali GAL, vezja FPGA pa iz znatno manjših **programirljivih logičnih blokov** (*angl.* **programmable logic block** oz. **configurable logic block**), ki omogočajo le izvajanje preprostih kombinacijskih in/ali sekvenčnih funkcij, a je teh blokov bistveno več (tudi več stotisoč), tvorjenje bolj zapletenih funkcij pa omogoča izredno prilagodljiva matrika povezav:

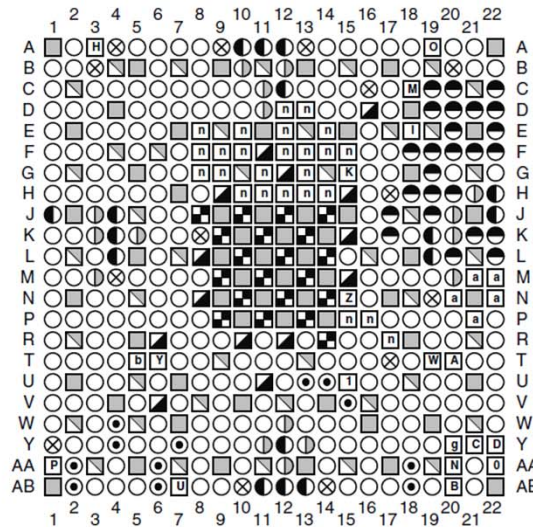


- programirljivi logični blok (PLB) je zgrajen iz nekaj deset celic SRAM, nekaj multipleksorjev in nekaj flip-flopov D
- programirljiva matrika povezav omogoča povezavo poljubnega izhoda PLB na poljubni vhod katerega od preostalih PLB
- vhodno-izhodni blok tvorijo vhodi in izhodi vezja FPGA, vsak blok je **programirljiv**



Programirljiva sekvenčna vezja

Električno programirljivo polje vrat (FPGA)



User I/O Pins	Multi-Function Pins	
<input type="radio"/> IO_LXXY_#	<input checked="" type="checkbox"/> VREF	<input checked="" type="checkbox"/> CCLK
	<input checked="" type="checkbox"/> P_GCLK	<input checked="" type="checkbox"/> CSI
	<input checked="" type="checkbox"/> N_GCLK	<input checked="" type="checkbox"/> CSO
	<input checked="" type="checkbox"/> D0 - D15	<input checked="" type="checkbox"/> DIN
	<input checked="" type="checkbox"/> A0 - A25	<input checked="" type="checkbox"/> DOUT_BUSY
	<input checked="" type="checkbox"/> FCS / FWE / FOE / HDC / LDC	<input checked="" type="checkbox"/> HSWAPEN
	<input checked="" type="checkbox"/> RDWR_B_VREF	<input checked="" type="checkbox"/> INIT
		<input checked="" type="checkbox"/> M1, M0
		<input checked="" type="checkbox"/> AWAKE
Dedicated Pins	Other Pins	
<input checked="" type="checkbox"/> PROGRAM_B_2	<input type="checkbox"/> GND	
<input checked="" type="checkbox"/> TCK	<input checked="" type="checkbox"/> VCCAUX	
<input checked="" type="checkbox"/> TDI	<input checked="" type="checkbox"/> VCCINT	
<input checked="" type="checkbox"/> TDO	<input checked="" type="checkbox"/> VCCO	
<input checked="" type="checkbox"/> TMS	<input checked="" type="checkbox"/> NC	
<input checked="" type="checkbox"/> DONE_2		
<input checked="" type="checkbox"/> SUSPEND		
<input checked="" type="checkbox"/> CMPCS_B_2		

FPGA Spartan-6 XC6SLX45T (Xilinx) s 6822 programirljivimi logičnimi bloki, vsak od katerih vsebuje 60 celic SRAM in 8 flip-flopov D; deluje pri napetosti 1.2 V in z maksimalno frekvenco 390 MHz